

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

009135736 \*\*Image available\*\*

WPI Acc No: 1992-263174/199232

XRAM Acc No: C92-117379

XRPX Acc No: N92-201240

Thin-film semiconductor circuit prodn. for display panel - includes  
forming circuit on film-covered substrate bonding second substrate to  
circuit-formed face and etching covering film NoAbstract

Patent Assignee: NIPPON TELEGRAPH & TELEPHONE CORP (NITE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 4178633</b>	A	19920625	JP 90306269	A	19901114	199232 B

Priority Applications (No Type Date): JP 90306269 A 19901114

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 4178633	A		6	G02F-001/136	
------------	---	--	---	--------------	--

Title Terms: THIN; FILM; SEMICONDUCTOR; CIRCUIT; PRODUCE; DISPLAY; PANEL;  
FORMING; CIRCUIT; FILM; COVER; SUBSTRATE; BOND; SECOND; SUBSTRATE;  
CIRCUIT; FORMING; FACE; ETCH; COVER; FILM; NOABSTRACT

Derwent Class: L03; P81; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): H01L-027/12

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03813533    \*\*Image available\*\*

FORMATION OF SEMICONDUCTOR CIRCUIT

PUB. NO.:    **04-178633** [JP 4178633 A]

PUBLISHED:    June 25, 1992 (19920625)

INVENTOR(s): KATO KINYA

NAKAZAWA KENJI

SUYAMA SHIRO

TANAKA KEIJI

SAKAI SHIGENOBU

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese  
Company or Corporation), JP (Japan)

APPL. NO.:    02-306269 [JP 90306269]

FILED:        November 14, 1990 (19901114)

INTL CLASS:    [5] G02F-001/136; H01L-027/12; H01L-029/784

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS)

JOURNAL:        Section: P, Section No. 1436, Vol. 16, No. 495, Pg. 20,  
October 14, 1992 (19921014)

#### ABSTRACT

PURPOSE: To allow the transfer of circuits without using a costly polishing device by sticking a 1st substrate which is formed of the circuits with a 1st film or the 1st film and at least one layer of a 2nd film to a 2nd substrate on the side where the above-mentioned circuits are formed to each other, then etching away the 1st film and transferring the circuits onto the 2nd substrate.

CONSTITUTION: A molybdenum film is first deposited at the 1st film 12 on the 1st substrate 11 consisting of Si. An SiO(sub 2) film is then deposited as the 2nd film 13 thereon and thereafter, TFTs 17 formed by using a-Si as well as picture element electrodes 18 consisting of ITO (indium tin oxide) and wirings consisting of A1 are formed thereon to produce an active matrix 14. An adhesive 15 of, for example, an epoxy system is then applied on the matrix 14 and a PET film is stuck as the 2nd substrate 16 onto the circuits. The assembly is thereafter immersed into hydrogen peroxide and the molybdenum film 12 is completely removed by etching. Finally, the 1st substrate 11 is completely peeled and the above-mentioned circuits are completed.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-178633

⑬ Int. Cl.<sup>3</sup>

G 02 F 1/136  
H 01 L 27/12

識別記号

5 0 0

B

庁内整理番号

9018-2K  
7514-4M  
9056-4M

⑭ 公開 平成4年(1992)6月25日

H 01 L 29/78

3 1 1 A※

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体回路の形成方法

⑯ 特 願 平2-308269

⑰ 出 願 平2(1990)11月14日

⑱ 発 明 者 加 藤 隆 矢 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑱ 発 明 者 中 沢 遼 二 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑱ 発 明 者 陶 山 史 朗 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑱ 発 明 者 田 中 敬 二 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内  
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号  
⑳ 代 理 人 弁理士 中村 純之助  
最終頁に続く

# 明 細 書

## 1. 発明の名称

半導体回路の形成方法

## 2. 特許請求の範囲

1. 第1の膜、または第1の膜および少なくとも1層の第2の膜を介して回路を形成した第1の基板を上記回路を形成した側で第2の基板に接合させたのち、上記第1の膜をエッチングにより除去することにより上記回路を上記第2の基板上に形成することを特徴とする半導体回路の形成方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体回路の形成方法に係り、特に、基板の材質に制約のない半導体回路の形成方法に関する。

(従来の技術)

液晶ディスプレイ(LCD)に代装される型で低消費電力の平面型表示装置(ディスプレイ)の研究開発が盛んである。これらのディスプレイ

では、配線が形成された基板、または高発光品質を得るために、能動素子(アモルファスSi薄膜トランジスタ(a-Si TFT)や多結晶Si薄膜トランジスタ(poly-Si TFT))を作り込んだアクティブマトリクス基板が必要であり、配線やアクティブマトリクスが形成される基板材料にはガラスが用いられるのが一般的であった。しかし、ガラスではその耐熱温度に制約があり、上記配線や能動素子の製作に大きな制約を課していた。すなわち、安価なガラスの耐熱温度は低く、また能動素子に悪影響を与えるアルカリ金属の含有が避けられない。このため、不純物含有が少なく、耐熱温度の高い安価なガラス基板の開発が要請されているが、これらの要求を満たすガラスの開発がままならない。一方、ガラス基板を用いるとその剛性のためディスプレイを未使用時に小さく折り畳んでおくことができない問題があった。したがって、未使用時には小さく折り畳むことができるフレキシブル基板を用いたディスプレイの出現が要望されている。

基板の制約を取り除く技術としては、1989年のインターナショナル エレクトロン デバイス ミーティング (International Electron Device Meeting (IEDM)) にデバイス製造技術が報告されている (ケイ・スミヨシ (K. Sumiyoshi) 他、「デバイス レイア トランスファード ポリシリコン ティーエフティー アレイ フォー ハイ レゾリューション リキッド クリスタル プロジェクター ("DEVICE LAYER TRANSFERED POLY-Si TFT ARRAY FOR HIGH RESOLUTION LIQUID CRYSTAL PROJECTOR")」, アイイーディーエム (IEDM) 89, p.165, 1989)。

(発明が解決しようとする課題)

上記の技術は Si 基板上に酸化膜 (SiO<sub>2</sub> 膜) を介してアクティブマトリクスを製作したのち、別の基板と張り合わせ、その後 Si 基板を研磨工程で除去するものである。研磨工程では Si より SiO<sub>2</sub> の研磨速度が小さいため、SiO<sub>2</sub> が取われたところで研磨を止めることができ、結果として Si 基板上に形成したデバイスを別の基板上に

転写することができる。上記報告では同じ工程を 2 回使い、まず別の Si 基板に転写したのち、次にガラス基板に転写している。これは、デバイスの天地反転を防止するためで本質ではない。この方法では、アクティブマトリクスを製作する基板として耐熱温度の高い Si 基板を用いることができるため、マトリクス製作における製作温度の制約が少なく、高温で高性能の TFT の製作が可能にする利点があるが、研磨を用いて転写を行うため、脆性のないフレキシブル基板に転写しようとするとき Si 基板が研磨により破損するにいたり、また、Si 基板が変形し、研磨が均一にできないという根本的課題があった。さらに、コストの高い研磨装置を必要としないという課題があった。

本発明の目的は、上記課題を解決し、基板に対する制約のない回路の転写方法を提供することにある。

(課題を解決するための手段)

本発明は、基板上に形成した回路と基板との間に介在させた膜をエッチングで除去する方法を用

いる。この膜のエッチング速度が大きく、製作した回路、デバイスや基板に対してこの膜を選択的に除去できれば回路、デバイスの転写が可能である。

すなわち、本発明の半導体回路の形成方法は、第 1 の膜、または第 1 の膜および少なくとも 1 層の第 2 の膜を介して回路を形成した第 1 の基板を上記回路を形成した第 2 の基板と張り合わせたのち、上記第 1 の膜をエッチングにより除去することにより上記回路を上記第 2 の基板上に転写することを特徴とする。

(作用)

本発明では、回路を形成する基板に耐熱温度が高い基板や、回路に腐食性を与える物質を含まない基板を用いることができ、基板の制約を少なくすることができる。また、回路を転写するのに、従来技術のように研磨を行わずに研むので、コストの高い研磨装置が不要であり、かつ脆性のないフレキシブル基板に転写しようとする場合も基板が変形する問題もない。

(実施例)

実施例 1

第 1 図 (a) ~ (f) は、本発明の半導体回路の形成方法の第 1 の実施例の工程断面図である。本実施例では、例えば 4 インチ径の Si の第 1 の基板上に回路としてアクティブマトリクスを形成し、ポリエチレンテレフタレート (PET) の第 2 の基板上に転写した例を示す。

まず、第 1 図 (a) に示すように、Si の第 1 の基板 11 上に第 1 の膜 12 としてモリブデン膜を約 1 μm 堆積する。次いで、(b) に示すように、製作工程中にモリブデン膜 12 が酸化性雰囲気中に露出しないよう、第 2 の膜 13 として SiO<sub>2</sub> 膜を堆積したのち、通常のアクティブマトリクス製作法で a-Si を用いた TFT 17 および ITO (酸化インジウム Sn) の開口電極 18、Al の配線を形成し、アクティブマトリクス 14 を製作する。次いで、(c) に示すように、例えばエボキシ系の接着剤 15 をアクティブマトリクス 14 上に塗布し、(d) に示すように第 2 の基

板 16 として PET 膜を回路上に張り合わせる。その後、過酸化水素水中に設置し、(e) に示すようにモリブデン膜 12 をエッチングする。このとき、エッチング速度を向上させるためエッチング液は加熱した。このようにしてエッチングを進行させてモリブデン膜 12 を完全に除去し、最後に (f) に示すように第 1 の基板 11 が完全に隠れれば完成する。

ここでモリブデンを第 1 の膜 12 に用いたのは酸化性雰囲気（酸素）に弱く、過酸化水素水への設置により容易にエッチング除去できること、過酸化水素水は Si、SiO<sub>2</sub>、Al、ITO 等アクティブマトリクス製作に用いた材料を全くエッチングしないため、きわめて高い選択エッチング性を有するためである。また、第 2 の膜 13 を設けたのは、モリブデン膜 12 がアクティブマトリクス製作時に酸化性雰囲気（酸素）に直接曝されないようにするためである。

このうち、この基板（第 2 の基板 16）と対向電極を形成した PET からなる対向基板を高分子

分散型液晶を挟んで張り付け、ディスプレイを完成させた。このディスプレイを点示させたところ、ガラス基板上に形成したのと同様な点示特性が得られることを確認した。また、このディスプレイはフレキシブル性があり、適度な曲げには耐えられることが分かった。したがって、未使用時には小さく折り畳むことができるディスプレイを実現することができる。

#### 実施例 2

実施例 1 のモリブデン膜 12 の代わりにモリブデン形成時に酸素を含有したガスでスパッタしたモリブデン膜を用いた。このため、モリブデン膜は酸素を高濃度に含んでいる。酸素を高濃度を含むモリブデン膜はモリブデン膜より過酸化水素水でのエッチング速度が大きい。その後の工程は実施例 1 と同様とした。この結果、第 1 図 (e) でのモリブデン膜の除去がきわめて高速度に行われる効果があった。特性は全く同じであった。

#### 実施例 3

実施例 1 の第 1 の膜 12 として、モリブデン膜

の代わりに CaF<sub>2</sub>（フッ化カルシウム）膜を用いた。この材料は単結晶 Si 基板上にエピタキシャル成長させることができ、さらに CaF<sub>2</sub> 上に Si をエピタキシャル成長させることができる。本実施例ではエピタキシャル成長させた Si 膜を TFT の活性層として用いてアクティブマトリクスを製作した。第 2 の基板として PET 膜を張り合わせ、徐熱炉で CaF<sub>2</sub> を除去した。CaF<sub>2</sub> は徐熱炉で容易にエッチングでき、実施例 1 および 2 と同様にアクティブマトリクスを第 2 の基板に形成できた。本実施例では、第 2 の膜 13 (SiO<sub>2</sub> 膜) は形成しなかった。その後の工程は実施例 1 と同様にしてディスプレイを製作した。その結果、点示特性が得られることを確認した。

#### 実施例 4

第 2 図 (a) は、本発明の図 4 の実施例を示す図、第 2 図 (b) は、第 2 図 (a) の要部拡大断面図である。実施例 1 で述べた手法で多数の Si 基板を図 1 の基板 41 としてその上にアクティブマトリクスを製作し、これらを第 2 図 (a) に示

すように PET の第 2 の基板 42 上に張り合わせた。その後、実施例 1 と同様にしてアクティブマトリクスを第 2 の基板上 42 に形成した。その後、第 2 図 (b) に示すように、フォトリソセスによりスルーホール 43 を開口し、その後金膜層を堆積し、フォトリソセスを用いて各アクティブマトリクスを接続する金膜配線 44 とした。この結果、個々のアクティブマトリクスを接続した大面積のアクティブマトリクスを完成できた。

このうち、この基板（第 2 の基板 42）と対向電極を形成した PET からなる対向基板を高分子分散型液晶を挟んで張り付け、ディスプレイを完成させた。このディスプレイを点示させたところ、点示特性が得られることを確認した。

スルーホール 43 と配線 44 の形成は低温で行えるため、PET 基板（42）のような耐熱性の低い基板上でも同様にを行うことができた。また、配線の形成はスクリーン印刷でも可能であった。

このように、回路を分割して形成し、それらを

大面積基板上に形成することにより、容易に大面積基板上に大規模な回路を形成できる。この場合、分割された回路は大面積基板上に張り合わせる前に個別の試験により選別でき、良品のみを仮装することができるので、大規模回路の製造歩留まりを上げることができる。

#### 実施例5

第3図は、本発明の第5の実施例を示す図である。実施例1で述べたのと同様な手法でSi基板を第1の基板51としてその上にシフトレジスタからなるアクティブマトリクス駆動回路53をpoly-Si TFTで形成し、第3図に示すようにa-Si TFTを用いたアクティブマトリクス54を形成したガラスの第2の基板52に張り合わせた。次いで、実施例1と同様に駆動回路を第2の基板52に仮装した。その後、実施例4と同様な手法で駆動回路53とアクティブマトリクスを接続した。回路動作を試験したところ、駆動回路からの信号がアクティブマトリクス54に伝送されていることを確認した。実施例1と同様に

ディスプレイを完成させ、表示動作が確認できた。

#### 実施例6

第4図は、本発明の第6の実施例を示す図である。実施例1で述べたのと同様な手法でSi基板を第1の基板としてその上にpoly-SiでnチャネルTFT61を形成し、同じく他のSi基板上にpチャネルTFT62を形成した。これらを第4図に示すようにガラスの第2の基板63に仮装し、実施例4の方法で相補形MOS (CMOS) 回路を形成するように接続した。この回路を試験したところ、CMOS動作することが確認できた。

このように、一辺の工程で製作すると工程が複雑となるCMOS回路を、nチャネルとpチャネル部分に分割して形成し、仮装して回路を形成することにより、工程が単純化できる。

以上説明したように、上記各実施例では、回路を形成する基板に腐食防止が薄い基板や、回路に腐食を与える物質を含まない基板を用いることができ、基板の腐食を少なくすることができる。また、回路を仮装するのに、従来技術のように研

磨を行わなくて済むので、コストの高い研磨装置が不用であり、低コスト化を達成でき、かつ腐食のないフレキシブル基板上に仮装しようとする場合も基板が変形する腐食もない。

本発明の主旨は、容易にエッチング除去できる第1の膜を第1の基板上に形成し、その上に回路を形成したのち、第2の基板と張り合わせたのち、第1の膜を除去することにより、回路を第2の基板上に仮装することである。第2の膜は第1の膜が回路動作時に損傷を受けるのを防止するものである。したがって、本発明の主旨を逸脱しない限りにおいて種々の変更が可能なのは言うまでもなく、上記実施例において、例えば回路としてa-Si TFT、poly-Si TFTやエピタキシャル成長させたSi膜を用いたアクティブマトリクス、駆動回路を示したが、データバッファ回路等の回路であってもよい。第2の膜についてはSiO<sub>2</sub>膜の他にSiNx膜を用いることができる。膜厚は用途によって選べばよく、何層の制限もないことは明らかである。

#### 【発明の効果】

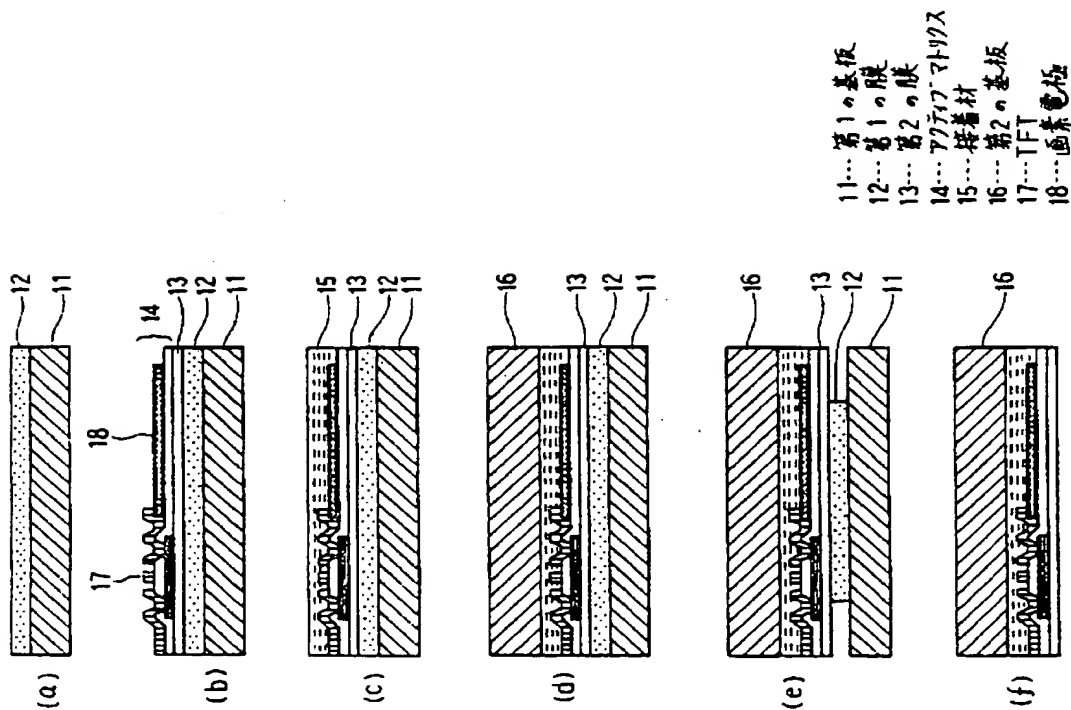
以上に説明したように、本発明は高価な研磨装置を使用することなく回路を仮装できるので、低コスト化が達成できる。また、回路を分割して形成し、それらを大面積基板上に仮装することにより、容易に大規模回路を形成できる。このとき、分割された回路は個別の試験により選別でき、良品のみを仮装することができるので、大規模回路の製造歩留まりを上げることができる。さらに、一辺の工程で製作すると工程が複雑となるCMOS回路をnチャネルとpチャネル部分に分割して形成し、仮装して回路を形成することにより、工程が単純化できる。

#### 4. 図面の簡単な説明

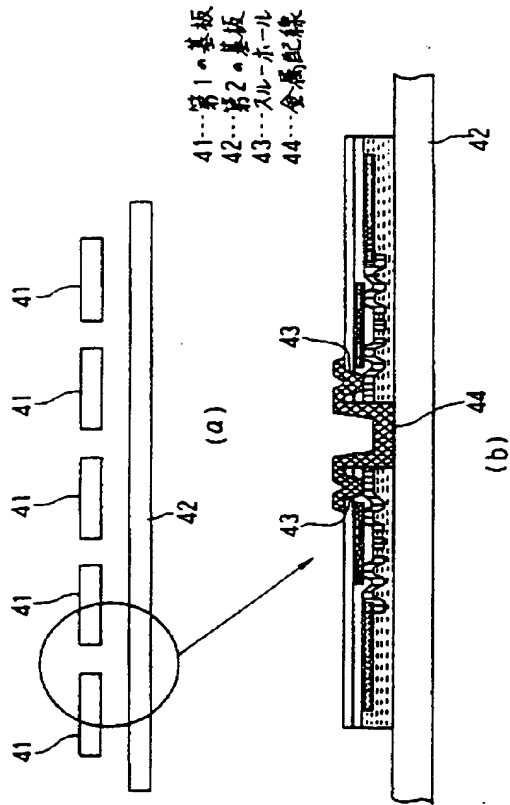
第1図(a)～(f)は、本発明の半導体回路の形成方法の第1の実施例の工程断面図、第2図(a)は、本発明の第4の実施例を示す図、第2図(b)は、第2図(a)の局部拡大断面図、第3図は、本発明の第5の実施例を示す図、第4図は、本発明の第6の実施例を示す図である。

- 11、41、51、62…第1の基板
- 12…第1の膜
- 13…第2の膜
- 14…アクティブマトリクス
- 15…接着剤
- 16、42、52、63…第2の基板
- 61…nチャネルTFT
- 62…pチャネルTFT

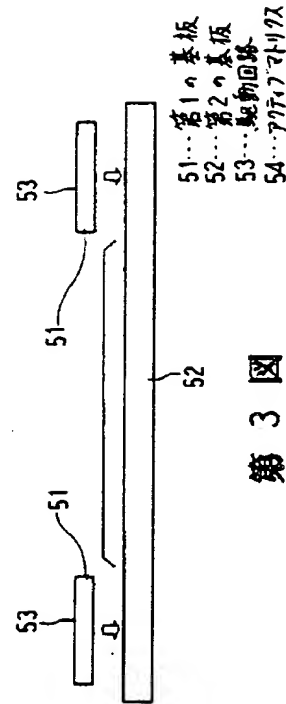
特許出願人 日本電信電話株式会社  
代理人弁理士 中村 純之助



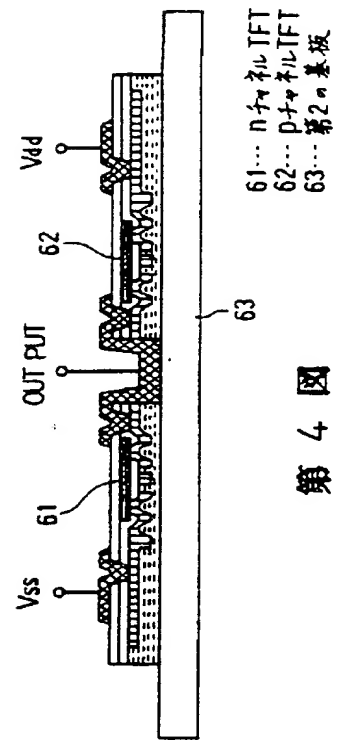
第1図



第 2 図



第 3 図



第 4 図

第 1 頁の続き

⑤Int. Cl. 5

H 01 L 29/784

識別記号

庁内整理番号

⑦発 明 者 酒 井 重 信

東京都千代田区内幸町 1 丁目 1 番 6 号 日本電信電話株式会社内